

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
G11C 11/407

(11) 공개번호 특1999-0066271
(43) 공개일자 1999년08월16일

(21) 출원번호	10-1998-0002052
(22) 출원일자	1998년01월23일
(71) 출원인	삼성전자 주식회사 윤종용
(72) 발명자	경기도 수원시 팔달구 매탄3동 416 이정배
(74) 대리인	경기도 군포시 산본동 주몽주공아파트 1006동 1205호 권석홍, 노민식, 이영필

심사청구 : 있음

(54) 이중 데이터율 모드 반도체 메모리 장치

요약

본 발명의 목적은 SDR 모드 입출력 기능을 구비한 DDR 모드 반도체 메모리 장치를 제공하는 것이다.

동기식 반도체 메모리 장치에 있어서, 제1 메모리 코어는 복수의 데이터를 저장하고 있으며, 상기 복수의 데이터 중 로우 어드레스 및 제1 할당 어드레스에 의해 어드레스되는 데이터를 제1 데이터 라인으로 출력한다. 제2 메모리 코어는 복수의 데이터를 저장하고 있으며, 상기 복수의 데이터 중 상기 로우 어드레스 및 제2 할당 어드레스에 의해 어드레스되는 데이터를 상기 제1 메모리 코어와 동시에 제2 데이터 라인으로 출력한다. 제어신호 발생부는 외부 시스템 클럭의 정수배 주기를 가지는 제1 클럭과, 상기 제1 클럭의 2배 주기를 가지는 제2 클럭을 발생하고, 상기 제1 클럭과 제2 클럭 중 어느 하나를 내부 클럭으로써 출력한다. 증폭 및 멀티플렉싱 회로는 상기 내부클럭에 동기되어 동작하며, 상기 제1 및 제2 메모리 코어로부터 출력된 데이터들을 받아들이고, 받아들여진 데이터들을 증폭하고 멀티플렉싱하여 멀티플렉싱된 데이터를 출력한다.

이에 따라, SDR 모드와 DDR 모드를 모두 지원할 수 있게 되며, 이러한 반도체 메모리를 필요로 하는 반도체 사용자의 욕구를 충족시킬 수 있고, 사용자 및 제조업체의 원가를 절감할 수 있게 해준다.

도면

도2

도3

도면의 간단한 설명

도 1은 본 발명에 의한 동기식 디램의 개략적 구성을 보여주는 블록도이다.

도 2는 도 1의 증폭 및 멀티플렉싱 회로의 블록도이다.

도 3은 도 1의 제어신호 발생부내에 있는 제어펄스 발생회로의 일 예를 보여주는 블록도이다.

도 4는 도 1의 동기식 디램이 이중 데이터율(DDR) 모드로 동작하는 경우의 각 제어펄스 및 데이터의 파형도이다.

도 5는 도 1의 동기식 디램이 단일 데이터율(SDR) 모드로 동작하는 경우의 각 제어펄스 및 데이터의 파형도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 메모리에 관한 것으로서, 특히 이중 데이터율(Double Data Rate: DDR) 모드 반도체 메모리 장치에 관한 것이다.

일반적으로 동기식 디램(Synchronous DRAM)은 시스템 클럭의 천이에 응답하여 데이터 입출력 동작이 제어되는 디램을 일컫는 것으로서, 종래의 비동기식 디램에 비해 상당히 높은 동작 속도를 가지고 있다. 그런데 상기 SDRAM의 동작 속도는 그것이 사용되는 예컨대 컴퓨터와 같은 응용 시스템의 동작 속도에 비해서는 상당히 낮은 수준에 머무르고 있다. 따라서, 이와 같이 낮은 SDRAM의 동작 속도는 응용 시스템의

전체적인 성능을 최적화하는데 장애가 된다.

상기와 같은 SDRAM의 낮은 동작 속도를 개선시키기 위하여, 시스템 클럭의 상승 에지(Rising Edge) 및 하강 에지(Falling Edge) 모두에 응답하여 데이터를 입출력하는 방식이 개발되었다. 이와 같이 시스템 클럭의 상승 에지 및 하강 에지 모두에 응답하여 데이터를 입출력하는 방식을 이중 데이터율(Double Data Rate: 이하 'DDR'이라 함) 모드라 한다. 이에 관련하여, 시스템 클럭의 상승 에지 및 하강 에지 중 어느 하나에만 응답하여 데이터를 입출력하는 종래의 방식을 단일 데이터율(Single Data Rate: 이하 'SDR'이라 함) 모드라 한다.

DDR 모드는 데이터의 출력 또는 입력 동작이 시스템 클럭의 양 에지에 응답하여 수행되므로 동작 가능 주파수가 높다는(large Bandwidth) 특성을 가진다. 그러므로, DDR 모드는 초고속 SDRAM을 구현시킬 수 있는 하나의 방법이 될 수 있다.

그러나 DDR 모드의 동기식 디램을 칩 상에 구현하는 경우 칩의 면적이 증가된다는 문제점이 발생한다. 즉, DDR 모드를 채용한 동기식 디램에서는 한 개의 시스템 클럭에서 두 개의 할당 선택 라인을 인에이블 시켜서 두 개의 데이터를 읽어내거나 기록해야 하기 때문에, SDR 모드 동기식 디램에 비해 두 배수의 내부 데이터 라인이 필요하다. 또한, 입출력시 상기 두 배수의 내부 데이터 라인 중 어느 하나를 선택하기 위한 디멀티플렉싱 회로 및 멀티플렉싱 회로가 필요하게 된다. 더욱이, SDR 모드에 비하여 입력과 출력시에 데이터와 클럭간의 셋-업 시간(set-up time), 데이터 유지 시간(hold time)이 크게 감소하므로, 외부 시스템 클럭과 내부의 각 파이프라이닝 단(Pipelining Stage)에서 사용되는 클럭간의 지연시간을 정밀하게 조절하기 위해서는 위상 동기 루프(PLL: Phase Locked Loop)나 지연 동기루프(DLL: Delay Locked Loop)를 사용하여야 하게 되며, 이에 따라 칩 면적은 더욱 증가하게 된다.

상기와 같이 현재 DDR 모드의 동기식 디램이 가진 문제점으로 인하여, 시장에서 SDR 모드의 동기식 디램이 DDR 모드의 동기식 디램으로 대체되기까지는 상당한 시간이 소요될 것으로 예측된다. 이에 따라 DDR 모드의 동기식 디램이 완전히 SDR 모드의 동기식 디램을 대체하기 이전에는, SDR 모드의 동기식 디램 및 DDR 모드의 동기식 디램이 공존하게 될 것으로 예상된다.

이와 관련하여, 컴퓨터 제조업체 등 반도체 사용자의 입장에서 볼 때, 원가절감의 차원에서 SDR 모드 및 DDR 모드를 모두 지원할 수 있어 SDR 모드 및 DDR 모드 중 하나를 선택해서 사용할 수 있는 동기식 디램을 필요로 하게 된다. 또한 반도체 제조업체의 입장에서 SDR 모드의 동기식 디램 및 DDR 모드의 동기식 디램을 별개로 모두 생산해야 하는 경우 원가 상승의 부담을 안게 된다. 따라서, SDR 모드 및 DDR 모드를 모두 지원할 수 있도록 디램을 설계하고, 생산 공정에서 두 모드 중 어느 하나를 선택할 수 있도록 하거나 이를 구입한 사용자가 모드를 선택할 수 있게 할 필요가 있게 된다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기 문제점을 해결하기 위한 것으로서, 본 발명의 기술적 과제는 SDR 모드 입출력 기능을 구비한 DDR 모드 반도체 메모리 장치를 제공하는 것이다.

본 발명의 다른 기술적 과제는 SDR 모드 및 DDR 모드 중 어느 하나를 선택하여 선택된 방식으로 데이터를 출력할 수 있게 해주는 반도체 메모리 장치의 데이터 출력 제어 방법을 제공하는 것이다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위한 본 발명의 동기식 반도체 메모리 장치에 있어서, 제1 메모리 코어는 복수의 데이터를 저장하고 있으며, 상기 복수의 데이터 중 로우 어드레스 및 제1 할당 어드레스에 의해 어드레스되는 데이터를 제1 데이터 라인으로 출력한다. 제2 메모리 코어는 복수의 데이터를 저장하고 있으며, 상기 복수의 데이터 중 상기 로우 어드레스 및 제2 할당 어드레스에 의해 어드레스되는 데이터를 상기 제1 메모리 코어와 동시에 제2 데이터 라인으로 출력한다. 제어신호 발생부는 외부 시스템 클럭의 정수배 주기를 가지는 제1 클럭과, 상기 제1 클럭의 2배 주기를 가지는 제2 클럭을 발생하고, 상기 제1 클럭과 제2 클럭 중 어느 하나를 내부 클럭으로써 출력한다. 증폭 및 멀티플렉싱 회로는 상기 내부 클럭에 동기되어 동작하며, 상기 제1 및 제2 메모리 코어로부터 출력된 데이터들을 받아들이고, 받아들이진 데이터들을 증폭하고 멀티플렉싱하여 멀티플렉싱된 데이터를 출력한다.

상기 다른 기술적 과제를 달성하기 위한 본 발명의 반도체 메모리 장치 출력 제어 방법은 복수의 데이터를 각각 저장하고 있고 각각이 하나의 데이터를 동시에 출력하는 제1 및 제2 메모리 코어를 포함하는 반도체 메모리 장치에서 구현된다.

먼저 외부 시스템 클럭의 정수배 주기를 가지는 제1 클럭과, 상기 제1 클럭의 2배 주기를 가지는 제2 클럭을 발생하고, 상기 제1 클럭과 제2 클럭 중 어느 하나를 내부 클럭으로써 선택한다. 상기 제1 및 제2 메모리 코어로부터 출력된 데이터들을 증폭하고 증폭된 제1 및 제2 데이터를 상기 내부 클럭과 동일한 주파수를 가지는 제1 제어필스에 동기시켜 제1 및 제2 데이터 라인으로 각각 출력시킨다. 상기 제1 및 제2 데이터 라인 상의 상기 제1 데이터와 상기 제2 데이터 중 어드레스가 앞서는 것을 선택하여 선택된 데이터를 외부로 출력한다. 상기 제1 데이터와 상기 제2 데이터 중 어드레스가 뒤지는 것을 선택하여 선택된 데이터를 외부로 출력한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 보다 상세하게 설명한다.

도 1은 본 발명에 의한 동기식 디램의 개략적 구성을 보여주는 블록도이다. 상기 동기식 디램은 복수의 메모리 셀 어레이를 포함하고 있으며, 각 메모리 셀 어레이는 복수의 메모리 셀 서브어레이를 포함하는데, 설명의 편의상 도 1에는 2 개의 메모리 셀 서브어레이만을 도시하였다. 구체적으로, 도 1의 동기식 디램은 우수 메모리 코어(10) 및 기수 메모리 코어(20)와, 증폭 및 멀티플렉싱 회로(24) 및 출력 버퍼(26)를 포함한다.

상기 우수 메모리 코어(10)는 제1 메모리 셀 서브어레이(12)와, 로우 디코더(14) 및 할당 디코더(16)를

포함한다. 상기 제1 메모리 셀 서브어레이(12)의 각 셀은 로우 디코더(14) 및 칼럼 디코더(16)에 의해 디코딩되는 로우 어드레스 및 칼럼 어드레스에 의해 액세스되어, 데이터가 기록되거나 기록된 데이터가 읽어질 수 있다. 읽혀진 데이터는 비트라인 감지증폭기(18)에 의해 증폭되어, 로컬 입출력 라인(19a)에 실리게 된다. 이때, 상기 제1 메모리 셀 서브어레이(12)를 액세스하기 위해 인가되는 칼럼 어드레스는 짝수 값을 가진다. 즉, 상기 제1 메모리 셀 서브어레이(12)는 짝수의 칼럼 어드레스에 의해서만 어드레스될 수 있다.

상기 기수 메모리 코어(20)는 제2 메모리 셀 서브어레이(22)와, 로우 디코더(24) 및 칼럼 디코더(26)를 포함한다. 상기 제2 메모리 셀 서브어레이(22)의 각 셀도 마찬가지로 로우 디코더(24) 및 칼럼 디코더(26)에 의해 디코딩되는 로우 어드레스 및 칼럼 어드레스에 의해 액세스되어, 데이터가 기록되거나 기록된 데이터가 읽어질 수 있다. 읽혀진 데이터는 비트라인 감지증폭기(28)에 의해 증폭되어, 로컬 입출력 라인(19b)에 실리게 된다. 이때, 상기 제2 메모리 셀 서브어레이(22)를 액세스하기 위해 인가되는 칼럼 어드레스는 홀수 값을 가진다. 즉, 상기 제2 메모리 셀 서브어레이(22)는 홀수의 칼럼 어드레스에 의해서만 어드레스될 수 있다.

증폭 및 멀티플렉싱 회로(24)는 상기 우수 메모리 코어(10) 및 기수 메모리 코어(20)로부터 각각 출력되는 데이터들(10_E, 10_O)을 받아들이고, 복수의 제어펄스들(FRT, SRT_F, SRT_S, CLKQ_F, CLKQ_S)에 응답하여 상기 데이터들(10_E, 10_O)을 멀티플렉싱하고, 멀티플렉싱된 데이터(00)를 출력한다. 출력 버퍼(26)는 상기 증폭 및 멀티플렉싱 회로(24)로부터의 멀티플렉싱된 데이터(00)를 받아들이고, 이 데이터를 버퍼링하여 버퍼링된 데이터(00T)를 외부 시스템 버스에 출력한다.

제어신호 발생부(32)는 외부로부터 시스템 클럭(CLK), 로우 어드레스 스트로브 신호(/RAS), 칼럼 어드레스 스트로브 신호(/CAS), 기록 제어 신호(/WE) 및 읽기 제어 신호(/OE)를 받아들이고, 상기 신호들을 메모리 셀 어레이에 공급하며 여러 제어신호들을 발생하여 메모리 셀 어레이에 공급한다. 특히, 상기 제어신호 발생부(32)는 상기 제어펄스들(FRT, SRT_F, SRT_S, CLKQ_F, CLKQ_S)을 발생하여, 증폭 및 멀티플렉싱 회로(24)에 공급한다. 모드 레지스터(34)는 DDR/SDR 모드, CAS 레이턴시, 버스트 길이, 버스트 순서(Burst Sequence) 등과 같은 동기식 디램의 동작 모드에 대한 정보를 저장하고 있는 레지스터로서, 제조업체 또는 사용자에 의해 프로그램될 수 있다.

도 2는 상기 증폭 및 멀티플렉싱 회로(24)의 상세 블록도이다. 상기 증폭 및 멀티플렉싱 회로(24)는 제1 및 제2 1/0 감지증폭기들(40, 42)과, 제1 및 제2 데이터버스 선택기들(44, 46)과, 멀티플렉서(48)를 포함한다.

제1 1/0 감지증폭기(40)는 우수 메모리 코어(10)로부터 출력되어 로컬 입출력라인(19a)에 실려진 데이터(10_E)를 받아들인다. 그리고 제1 1/0 감지증폭기(40)는 상기 데이터(10_E)를 증폭하며, 증폭된 데이터(FD10_E)를 제어펄스(FRT)에 응답하여 글로벌 입출력 라인(41)을 통해 출력한다. 제2 1/0 감지증폭기(42)는 기수 메모리 코어(20)로부터 출력되어 로컬 입출력라인(19b)에 실려진 데이터(10_O)를 받아들인다. 그리고 제2 1/0 감지증폭기(42)는 상기 데이터(10_O)를 증폭하며, 증폭된 데이터(FD10_O)를 제어펄스(FRT)에 응답하여 글로벌 입출력 라인(43)을 통해 출력한다.

제1 데이터버스 선택기(44)는 상기 제1 1/0 감지증폭기(40)에 의해 출력된 데이터(FD10_E)를 글로벌 입출력 라인(41)을 통해 받아들인다. 또한 제1 데이터버스 선택기(44)는 상기 제2 1/0 감지증폭기(42)에 의해 출력된 데이터(FD10_O)를 글로벌 입출력 라인(43)을 통해 받아들인다. 그 다음, 제1 데이터버스 선택기(44)는 선택 신호(SEL)에 응답하여 상기 데이터들(FD10_E, FD10_O) 중 어느 하나를 선택하고, 제어펄스(SRT_F)에 응답하여 선택된 데이터를 제1 버스 데이터(DB_F)로써 출력한다. 본 발명의 동기식 디램이 버스트 데이터 출력을 실행할 때, 출력 데이터의 최초 칼럼 어드레스가 짝수인 경우에는 상기 선택 신호(SEL)는 '하이' 레벨을 가진다. 이 경우, 제1 데이터버스 선택기(44)는 데이터(FD10_E)를 선택하여, 선택된 데이터를 제1 버스 데이터(DB_F)로써 출력하게 된다. 한편, 출력 데이터의 최초 칼럼 어드레스가 홀수인 경우에는 상기 선택 신호(SEL)는 '로우' 레벨을 가진다. 이 경우, 제1 데이터버스 선택기(44)는 데이터(FD10_O)를 선택하여 선택된 데이터를 제1 버스 데이터(DB_F)로써 출력하게 된다.

제2 데이터버스 선택기(46)는 제1 및 제2 1/0 감지증폭기들(40, 42)에 의해 각각 출력된 데이터들(FD10_E, FD10_O)을 받아들이고, 선택 신호(/SEL)에 응답하여 상기 데이터들(FD10_E, FD10_O) 중 어느 하나를 선택한다. 그리고 제2 데이터버스 선택기(46)는 제어펄스(SRT_S)에 응답하여 선택된 데이터를 제2 버스 데이터(DB_S)로써 출력한다. 출력 데이터의 최초 칼럼 어드레스가 짝수인 경우에, 상기 선택 신호(/SEL)는 '로우' 레벨을 가진다. 이 경우, 제2 데이터버스 선택기(46)는 데이터(FD10_O)를 선택하여, 선택된 데이터를 제2 버스 데이터(DB_S)로써 출력하게 된다. 한편, 출력 데이터의 최초 칼럼 어드레스가 홀수인 경우에는 상기 선택 신호(/SEL)는 '하이' 레벨을 가진다. 이 경우, 제2 데이터버스 선택기(46)는 데이터(FD10_E)를 선택하여 선택된 데이터를 제1 버스 데이터(DB_F)로써 출력하게 된다.

따라서, 본 발명의 동기식 디램이 버스트 데이터 출력을 실행할 때, 최초 칼럼 어드레스가 짝수인 경우에는, 제1 데이터버스 선택기(44)는 우수 메모리 코어(10)로부터의 데이터를 출력하고, 제2 데이터버스 선택기(46)는 기수 메모리 코어(20)로부터의 데이터를 출력하게 된다. 한편, 최초 칼럼 어드레스가 홀수인 경우에는, 제1 데이터버스 선택기(44)는 기수 메모리 코어(20)로부터의 데이터를 출력하고, 제2 데이터버스 선택기(46)는 우수 메모리 코어(10)로부터의 데이터를 출력하게 된다. 이에 따라, 프리페치된(pre-fetch)된 2 비트의 데이터 중에서 먼저 출력되어야 할 데이터가 항상 제1 데이터버스 선택기(44)에 의해 선택되어지고, 나중에 출력되어야 할 데이터가 항상 제2 데이터버스 선택기(46)에 의해 선택되어진다. 한편, 본 발명의 동기식 디램이 버스트 데이터 출력을 실행함에 있어, 버스트 길이가 1인 경우에는 제2 데이터버스 선택기(46)가 디스플레이된다. 이에 따라 제1 데이터버스 선택기(44)만이 1비트의 데이터를 출력하게 된다.

멀티플렉서(48)는 제1 및 제2 데이터버스 선택기들(44, 46)로부터 각각 출력되는 제1 및 제2 버스 데이터들(DB_F, DB_S)을 받아들이고, 이들 데이터들을 멀티플렉싱하여 출력한다. 즉, 멀티플렉서(48)는 제어펄스(CLKQ_F)에 응답하여 제1 버스 데이터(DB_F)를 출력하고, 제어펄스(CLKQ_S)에 응답하여 제2 버스 데이터(DB_S)를 출력한다. 상기 제어펄스(CLKQ_S)는 상기 제어펄스(CLKQ_F)에 비해 반주기만큼 위상이

어긋나 있다.

도 3은 도 1의 제어신호 발생부내에 있는 제어펄스 발생회로의 일 예를 보여주는 블록도이다. 상기 제어 펄스 발생회로는 내부클럭 발생 부회로(50), 분주기(52), 선택부(53) 및 지연부(60)를 포함한다.

내부클럭 발생 부회로(50)는 외부 시스템 클럭(CLK)을 받아들이고, 상기 클럭(CLK)의 듀티비 및 스윙 폭 을 조정하여, 외부 시스템 클럭(CLK)과 같은 주파수를 가지는 DDR 모드용 내부클럭(PCLK_DDR)을 발생하는 파형 생성 회로를 포함한다. 분주기(52)는 상기 DDR 모드용 내부클럭(PCLK_DDR)을 받아들이고, 주파수를 분주하여 상기 DDR 모드용 내부클럭(PCLK_DDR)보다 절반의 주파수를 가지는 SDR 모드용 내부클럭 (PCLK_SDR)을 발생한다.

선택부(53)는 모드 제어 신호(/DDR)에 응답하여 상기 DDR 모드용 내부클럭(PCLK_DDR) 및 SDR 모드용 내부 클럭(PCLK_SDR) 중 어느 하나를 선택하여 디램의 내부클럭(PCLK)으로써 출력한다. 본 발명의 동기식 디 램이 DDR 모드에서 동작할 때 상기 모드 제어 신호(/DDR)는 '로우' 레벨을 가진다. 이때 선택부(53)의 전송 스위치(54)는 상기 모드 제어 신호(/DDR) 및 인버터(58)에 의해 반전된 모드 제어 신호(DDR)에 응답 하여 턴온되고, 전송 스위치(56)는 턴오프된다. 따라서, DDR 모드용 내부클럭(PCLK_DDR)이 디램의 내부 클럭(PCLK)으로써 출력된다. 한편, 동기식 디램이 SDR 모드에서 동작할 때 상기 모드 제어 신호(/DDR)는 '하이' 레벨을 가진다. 이때 선택부(53)의 전송 스위치(54)는 턴오프되고 전송 스위치(56)는 턴온되어, SDR 모드용 내부클럭(PCLK_SDR)이 디램의 내부클럭(PCLK)으로써 출력된다. 상기 내부클럭(PCLK)은 디램 의 내부 마스터 클럭으로 사용될과 아울러, 후술하는 바와 같이, 제어펄스들(FRT, SRT_F, SRT_S, CLKQQ_F, CLKQQ_S)을 발생하는데 사용된다.

본 실시예에 있어서, 동기식 디램의 DDR 또는 SDR 동작모드는 제조업체 또는 사용자의 프로그래밍에 의해 모드 레지스터(34)에 저장되어 있다. 따라서, 모드 선택 신호(/DDR)는 모드 레지스터(34)로부터 제어신 호 발생부(32)로 출력된다. 그렇지만, 본 발명의 다른 실시예에 있어서, 상기 DDR 또는 SDR 동작모드는 제조 과정에서 제조업체에 의해 메탈 옵션, 마스크 옵션, 본딩 옵션 또는 퓨즈를 통해 고정될 수도 있다.

도 3에서, 지연부(60)는 제1 내지 제5 지연기들(62 - 70)을 포함하며, 제어펄스들(FRT, SRT_F, SRT_S, CLKQQ_F, CLKQQ_S)을 발생한다. 상기 제1 지연기(62)는 상기 내부클럭(PCLK)을 소정시간 지연시켜 지연 된 클럭을 제어펄스(FRT)로써 출력한다. 본 실시예에 있어서, 상기 내부 클럭(PCLK)은 8 나노초(ns)의 주기와 43.75 x의 듀티비를 가진다. 그리고, 상기 제1 지연기(62)가 제어펄스(FRT)를 발생시키기 위해 상기 내부클럭(PCLK)을 지연시키는 시간은 1.5 나노초(ns)이다. 제2 지연기는 상기 내부클럭(PCLK)을 2.5 나노초(ns) 지연시켜 지연된 클럭을 제어펄스(SRT_F)로써 출력한다. 제3 지연기는 상기 내부클럭 (PCLK)을 6.5 나노초(ns) 지연시켜 지연된 클럭을 제어펄스(SRT_S)로써 출력한다. 제4 지연기는 상기 내 부클럭(PCLK)을 4.5 나노초(ns) 지연시켜 지연된 클럭을 제어펄스(CLKQQ_F)로써 출력한다. 제5 지연기는 상기 내부클럭(PCLK)을 8.5 나노초(ns) 지연시켜 지연된 클럭을 제어펄스(CLKQQ_S)로써 출력한다. 제어 펄스들(FRT, SRT_F, SRT_S, CLKQQ_F, CLKQQ_S)의 파형은 도 4 및 도 6에 도시되어 있다.

본 실시예에 있어서, 상기 제1 내지 제5 지연기들(62 - 70)은 위상 동기 루프(PLL)이나 지연 동기 루프 (DLL)를 사용하여 구현된다. 그렇지만, 반드시 이에 한정되는 것은 아니며, 다른 지연회로들이 사용될 수 있다. 또한 본 발명의 다른 실시예에 있어서, 상기 제1 내지 제5 지연기들(62 - 70)은, 내부클럭 (PCLK)으로부터 상기 제어펄스들(FRT, SRT_F, SRT_S, CLKQQ_F, CLKQQ_S)을 별개로 발생하는 대신에, 각각 의 선후 관계를 고려하여 어느 한 제어펄스로부터 다른 제어펄스를 발생하도록 변경될 수도 있다.

도 4는 도 1의 동기식 디램이 DDR 모드로 동작하는 경우에 있어서 각 제어펄스 및 데이터의 파형도이다. 동기식 디램이 DDR 모드로 동작할 때, 내부클럭(PCLK)은 외부 시스템 클럭(CLK)과 같은 주파수를 가진다.

제1 메모리 셀 서브어레이(12) 및 제2 메모리 셀 서브어레이(22)에서 로우 어드레스에 의해 선택된 어느 하나의 로우에 있는 셀들의 저장 데이터는 비트라인 감지증폭기(18, 28) 의해 증폭된다. 그다음 제1 메 모리 셀 서브어레이(12) 및 제2 메모리 셀 서브어레이(22) 각각에 있어서 복수개의 비트라인 중에서 할당 선택 라인(CSL)에 의해 하나의 비트라인이 선택되고, 선택된 비트라인의 데이터(10_E, 10_0)가 로컬 입출 력 라인(19a, 19b)에 실리게 된다.

제1 및 제2 I/O 감지증폭기들(40, 42)은 상기 데이터(10_E, 10_0)를 받아들이고 증폭하고, 제어펄스(FRT)에 응답하여 증폭된 데이터(FD10_E, FD10_0)를 출력한다.

제1 선택기(44)는 상기 제1 및 제2 I/O 감지증폭기들(40, 42)로부터의 데이터들(FD10_E, FD10_0)을 받아 들이고, 이들 중 하나를 선택하여 제어펄스(SRT_F)에 응답하여 선택된 데이터(DB_F)를 출력한다. 또한, 제2 선택기(46)는 상기 제1 및 제2 I/O 감지증폭기들(40, 42)로부터의 데이터들(FD10_E, FD10_0)을 받아 들이고, 이들 중 다른 하나를 선택하여 제어펄스(SRT_S)에 응답하여 선택된 데이터(DB_S)를 출력한다.

멀티플렉서(48)는 상기 제1 선택기(44) 및 제2 선택기(46)로부터 데이터(DB_F) 및 데이터(DB_S)를 각각 받아들이고, 멀티플렉서(48)는 제어펄스(CLKQQ_F)에 응답하여 데이터(DB_F)를 선택하여 출력하고 제어펄 스(CLKQQ_S)에 응답하여 데이터(DB_S)를 선택하여 출력한다. 이에 따라, 멀티플렉서(48)에서 출력되는 데이터(D0I)는 우수 메모리 코어(10) 또는 기수 메모리 코어(20)로부터 출력되는 데이터에 비해 두 배의 데이터율을 가지게 된다. 출력 버퍼(26)는 상기 멀티플렉서(48)로부터의 데이터(D0I)를 받아들이고 버퍼 링하여 최종 출력 데이터(DOUT)를 출력한다. 결국, 시스템 클럭 하나에 대해 두 개의 데이터가 디램으로 부터 출력된다.

도 5는 도 1의 동기식 디램이 SDR 모드로 동작하는 경우에 있어서 각 제어펄스 및 데이터의 파형도이다.

동기식 디램이 SDR 모드로 동작할 때, 내부클럭(PCLK)은 외부 시스템 클럭(CLK)의 절반의 주파수를 가지 게 되며, 이에 따라 각 제어펄스들(FRT, SRT_F, SRT_S, CLKQQ_F, CLKQQ_S)도 DDR 모드에서의 것들에 비해 절반의 주파수를 가진다. 그 밖의 디램 동작은 DDR 모드에서와 같다.

이 경우에도, 멀티플렉서(48)에서 출력되는 데이터(D0I)는 우수 메모리 코어(10) 또는 기수 메모리 코어 (20)로부터 출력되는 데이터에 비해 두 배의 데이터율을 가지게 된다. 그렇지만, 내부클럭(PCLK)이 시스

템 클럭의 절반의 주파수를 가지기 때문에, 시스템 클럭 하나에 대해 하나의 데이터가 최종적으로 디램으로부터 출력된다.

한편, SDR 모드의 경우, 내부 파이프라인 제어가 외부 시스템 클럭(CLK)의 절반의 속도로 동작하게 되고, 이에 따라 동작이 DDR 모드에 비해 쉽게 된다는 장점이 있다.

한편, 상기 실시예에는 본 발명의 바람직한 실시예를 단지 예시한 것에 불과하며, 본 발명은 상기 실시예에 한정되지 않고 다양하게 변형될 수 있다.

예를 들어, 상기 실시예에서는 DDR 모드용 내부클럭(PCLK_DDR)을 생성하고 이를 분주하여 SDR 모드용 내부클럭(PCLK_SDR)을 발생하였지만, 본 발명의 다른 실시예에 있어서는, 시스템 클럭(PCLK)으로부터 SDR 모드용 내부클럭(PCLK_SDR)을 생성하고, 이를 체배하여 DDR 모드용 내부클럭(PCLK_DDR)을 발생시킬 수도 있다.

상기 실시예에 있어서, 제1 및 제2 선택기들(44, 46)은 본 실시예가 3 클럭의 CAS 레이턴시를 전제로 한 것이기 때문에 도입된 것이다. 만약 CAS 레이턴시가 2 클럭이라면, 상기 제1 및 제2 선택기들(44, 46)은 생략될 수 있다. 이 경우, 데이터 버스의 선택은 멀티플렉서에 의해 행해질 수 있다. 또한 CAS 레이턴시가 4 클럭 이상이라면, 추가적인 지연단(Delaying Stage)이 포함될 수 있다.

또한, 상기 바람직한 실시예를 변형하여, DDR 모드용 내부클럭(PCLK_DDR)도 외부 시스템 클럭을 분주하여 사용함으로써, DDR 모드용 내부클럭(PCLK_DDR)과 SDR 모드용 내부클럭(PCLK_SDR)이 모두 시스템 클럭과 다른 주파수를 가지게 할 수도 있다.

아울러, 동시에 데이터가 입출력되는 메모리 코어의 수를 2개에 한정하지 않고, 그 이상의 메모리 코어에서 동시에 데이터가 입출력되게 할 수도 있다. 이러한 경우 도 2의 I/O 감지 증폭기 및 선택기와 데이터 버스의 수는 동시에 데이터가 입출력되는 메모리 코어의 수와 같도록 하는 것이 바람직하다. 이때, 멀티플렉서의 입력단자와 SR1나 CLK0Q 등의 제어핀의 수도 그에 상응하여 증가될 수 있다. 또한, 이러한 경우 내부클럭(PCLK)은 SDR 모드용 내부클럭(PCLK_SDR)에 비해 n배의 주파수를 가지게 된다. 특히, 이러한 다중 데이터율 모드(Multiple Data Rate)에서의 다중 데이터 모드용 내부클럭(PCLK_M)이 외부 시스템 클럭(CLK)을 1/m으로 분주하여 발생된다고 가정하면, 외부 시스템 클럭(CLK)의 주파수가 f라 할 때, 다중 데이터 모드용 내부클럭(PCLK_M)의 주파수와 SDR 모드용 내부클럭(PCLK_SDR)은 각각 f/m, f/(mn)이 된다.

다시 말해서 본 발명에 내재하는 기본적인 기술적 사상 중의 하나는 동시에 읽혀진 복수의 데이터를 멀티플렉서 제어를 통해 순차적으로 출력하는 것에 있는 것이며, 따라서 멀티플렉서에 의해 선택되는 데이터 버스의 숫자에 제한이 있는 것이 아니다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 SDRAM은 SDR 모드와 DDR 모드를 모두 지원할 수 있다. 이에 따라 이러한 반도체 메모리를 필요로 하는 반도체 사용자의 욕구를 충족시킬 수 있고, 사용자 및 제조업체의 원가를 절감할 수 있게 해준다. 또한, 본 발명의 멀티플렉서 제어에 의한 데이터 경로 제어 방법은 여타의 다중 데이터율 모드(Multiple Data Rate) 반도체 메모리에도 적용될 수 있다.

(57) 청구의 범위

청구항 1

외부 시스템 클럭에 동기되어 동작하는 반도체 메모리 장치에 있어서,

복수의 데이터를 저장하고 있으며, 상기 복수의 데이터 중 로우 어드레스 및 제1 칼럼 어드레스에 의해 어드레스되는 데이터를 제1 데이터 라인으로 출력하는 제1 메모리 코어;

복수의 데이터를 저장하고 있으며, 상기 복수의 데이터 중 상기 로우 어드레스 및 제2 칼럼 어드레스에 의해 어드레스되는 데이터를 상기 제1 메모리 코어와 동시에 제2 데이터 라인으로 출력하는 제2 메모리 코어;

상기 외부 시스템 클럭의 정수배 주기를 가지는 제1 클럭과, 상기 제1 클럭의 2배 주기를 가지는 제2 클럭을 발생하고, 상기 제1 클럭과 제2 클럭 중 어느 하나를 내부 클럭으로써 출력하는 제어신호 발생부;

상기 내부클럭에 동기되어 동작하며, 상기 제1 및 제2 메모리 코어로부터 출력된 데이터들을 받아들이고, 받아들이진 데이터들을 증폭하고 멀티플렉싱하여 멀티플렉싱된 데이터를 출력하는 증폭 및 멀티플렉싱 회로를 포함하는 동기식 반도체 메모리 장치.

청구항 2

제1항에 있어서, 상기 제1 및 제2 칼럼 어드레스는 서로 연이어져 있으며, 제1 칼럼 어드레스는 우수이고 제2 칼럼 어드레스는 기수인 동기식 반도체 메모리 장치.

청구항 3

제1항에 있어서, 상기 제1 클럭은 상기 외부 시스템 클럭과 같은 주기를 가지는 동기식 반도체 메모리 장치.

청구항 4

제3항에 있어서, 상기 제어신호 발생부는

상기 외부 시스템 클럭을 받아들이고, 상기 외부 시스템 클럭의 듀티비 및 스윙폭을 조정하여, 상기 외부

시스템 클럭과 같은 주파수를 가지는 상기 제1 클럭을 발생하는 파형 정형 회로;

상기 제1 클럭을 분주하여 상기 제2 클럭을 발생하는 주파수 분주기; 및

상기 제1 클럭 및 상기 제2 클럭 중 어느 하나를 선택하여 출력하는 선택 수단을 포함하는 동기식 반도체 메모리 장치.

청구항 5

제1항에 있어서, 상기 증폭 및 멀티플렉싱 회로는

상기 제1 메모리 코어로부터 출력된 데이터들을 받아들이고, 받아들여진 데이터들을 증폭하여 증폭된 제1 데이터를 상기 내부클럭과 동일한 주파수를 가지는 제1 제어필스에 동기시켜 출력하는 제1 입출력 감지 증폭기;

상기 제1 및 제2 메모리 코어로부터 출력된 데이터들을 받아들이고, 받아들여진 데이터들을 증폭하여 증폭된 제2 데이터를 상기 제1 제어필스에 동기시켜 출력하는 제2 입출력 감지 증폭기; 및

상기 제1 데이터와 상기 제2 데이터를 입력하고, 상기 제1 데이터와 상기 제2 데이터의 선후관계를 나타내는 선택 제어 신호에 응답하여 상기 제1 데이터와 상기 제2 데이터를 멀티플렉싱해서 출력하는 멀티플렉싱 부회로를 포함하는 동기식 반도체 메모리 장치.

청구항 6

제5항에 있어서, 상기 멀티플렉싱 부회로는

상기 제1 데이터와 상기 제2 데이터를 받아들이고, 상기 선택 제어 신호에 응답하여 상기 제1 데이터와 상기 제2 데이터 중 어느 하나가 앞서는 것을 선택하여 선택된 데이터를 제2 제어필스에 응답하여 출력하는 제1 선택기;

상기 제1 데이터와 상기 제2 데이터를 받아들이고, 상기 선택 제어 신호에 응답하여 상기 제1 데이터와 상기 제2 데이터 중 어느 하나가 뒤지는 것을 선택하여 선택된 데이터를 제3 제어필스에 응답하여 출력하는 제2 선택기; 및

상기 제1 및 제2 선택기들의 출력 데이터를 받아들이고, 상기 제1 선택기로부터의 데이터를 상기 내부클럭과 동일한 주파수를 가지는 제4 제어필스에 응답하여 출력하고 상기 제2 선택기로부터의 데이터를 상기 내부클럭과 동일한 주파수를 가지는 제5 제어필스에 응답하여 출력함으로써 상기 받아들여진 데이터를 멀티플렉싱하는 멀티플렉서;를 포함하는 동기식 반도체 메모리 장치.

청구항 7

제6항에 있어서, 상기 제어신호 발생부는

상기 내부클럭을 각각 소정 시간 지연시킴으로써 상기 제1 내지 제5 제어필스를 발생하는 제어필스 발생 회로를 더 포함하는 동기식 반도체 메모리 장치.

청구항 8

제1항에 있어서,

상기 동기식 반도체 메모리 장치의 동작 모드 정보를 저장하고 있으며, 동작 모드 제어 신호를 상기 제어 신호 발생부에 출력하는 모드 레지스터;를 더 포함하고,

상기 제어신호 발생부는 상기 동작 모드 제어 신호에 응답하여 상기 제1 클럭과 제2 클럭 중 어느 하나를 내부 클럭으로써 선택하는 동기식 반도체 메모리 장치.

청구항 9

제8항에 있어서,

상기 동작 모드 정보는 사용자에게 의해 프로그래밍될 수 있는 동기식 반도체 메모리 장치.

청구항 10

제1항에 있어서,

상기 제어신호 발생부는 상기 동작 모드를 나타내는 핀즈를 포함하며, 상기 핀즈의 상태에 따라 상기 제1 클럭과 제2 클럭 중 어느 하나를 내부 클럭으로써 선택하는 동기식 반도체 메모리 장치.

청구항 11

제1항에 있어서,

상기 제어신호 발생부에 의해 행해지는 상기 제1 클럭 또는 제2 클럭의 선택은 제조 공정 중에 배선에 의해 고정되는 동기식 반도체 메모리 장치.

청구항 12

외부 시스템 클럭에 동기되어 동작하는 반도체 메모리 장치에 있어서,

복수의 데이터를 각각 저장하고 있으며, 각각이 하나의 데이터를 동시에 출력하는 소정수 개의 메모리 코어;

상기 외부 시스템 클럭의 정수배 주기를 가지는 제1 클럭과, 상기 제1 클럭의 상기 소정수 배 주기를 가지는 제2 클럭을 발생하고, 상기 제1 클럭과 제2 클럭 중 어느 하나를 내부 클럭으로써 출력하는 제어신호 발생부;

상기 내부클럭에 동기되어 동작하며, 상기 소정수 개의 메모리 코어로부터 동시에 출력된 데이터들을 받아들이고, 받아들여진 데이터들을 증폭하고 멀티플렉싱하여 멀티플렉싱된 데이터를 출력하는 증폭 및 멀티플렉싱 회로;를 포함하는 동기식 반도체 메모리 장치.

청구항 13

외부 시스템 클럭에 동기되어 동작하며, 복수의 데이터를 각각 저장하고 있고 각각이 하나의 데이터를 동시에 출력하는 제1 및 제2 메모리 코어를 포함하는 반도체 메모리 장치에 있어서,

상기 외부 시스템 클럭의 정수배 주기를 가지는 제1 클럭과, 상기 제1 클럭의 2배 주기를 가지는 제2 클럭을 발생하고, 상기 제1 클럭과 제2 클럭 중 어느 하나를 내부 클럭으로써 선택하는 단계;

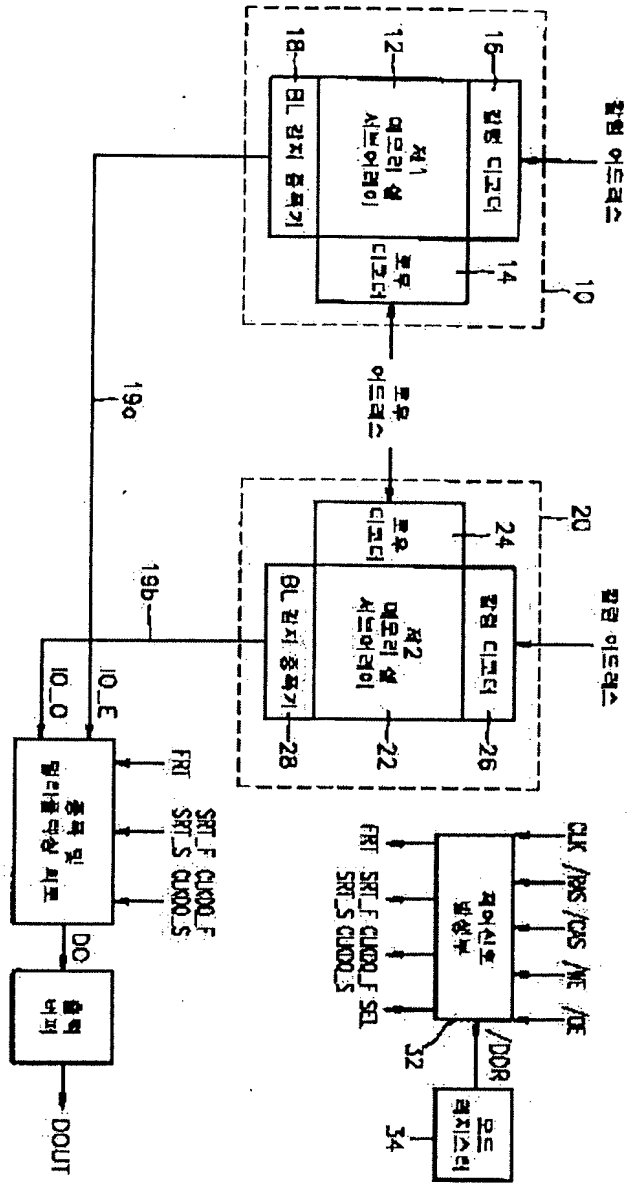
상기 제1 및 제2 메모리 코어로부터 출력된 데이터들을 증폭하고 증폭된 제1 및 제2 데이터를 상기 내부 클럭과 동일한 주파수를 가지는 제1 제어펄스에 동기시켜 제1 및 제2 데이터 라인으로 각각 출력시키는 단계;

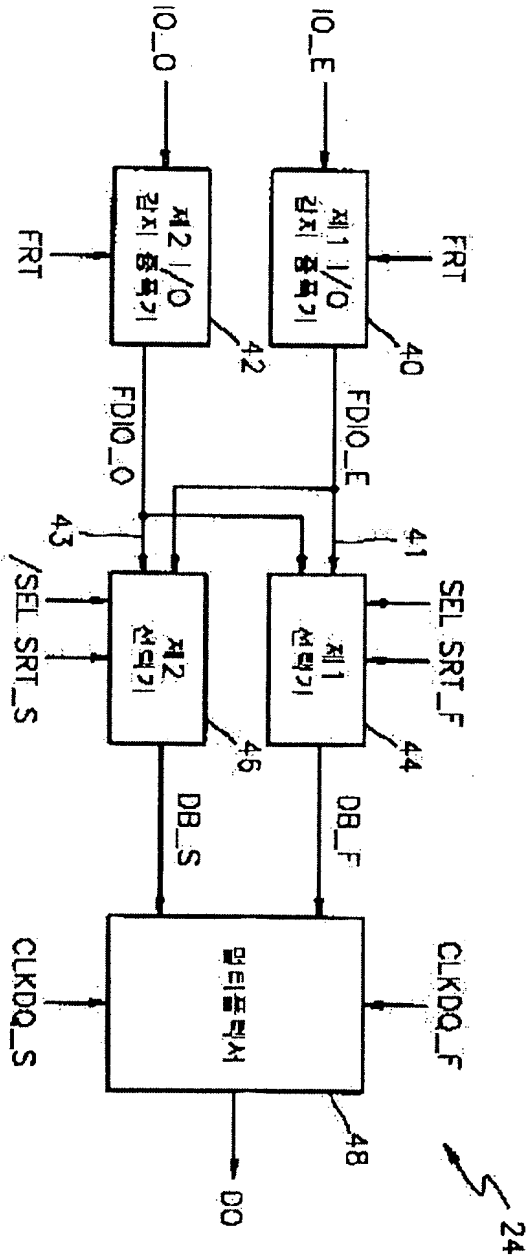
상기 제1 및 제2 데이터 라인 상의 상기 제1 데이터와 상기 제2 데이터 중 어드레스가 앞서는 것을 선택하여 선택된 데이터를 외부로 출력하는 단계; 및

상기 제1 데이터와 상기 제2 데이터 중 어드레스가 뒤지는 것을 선택하여 선택된 데이터를 외부로 출력하는 단계;를 포함하는 동기식 반도체 메모리 장치의 출력 제어 방법.

도면

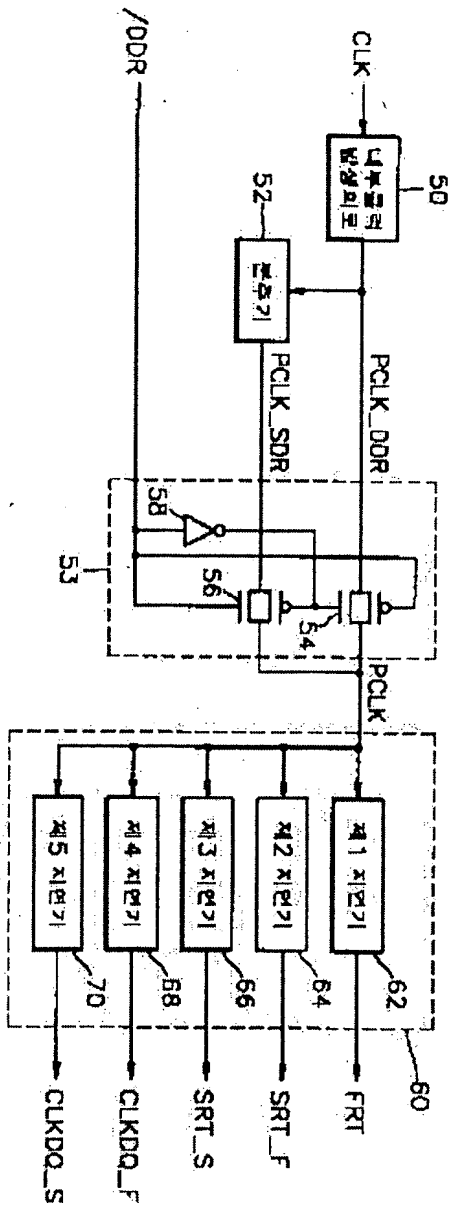
도 5

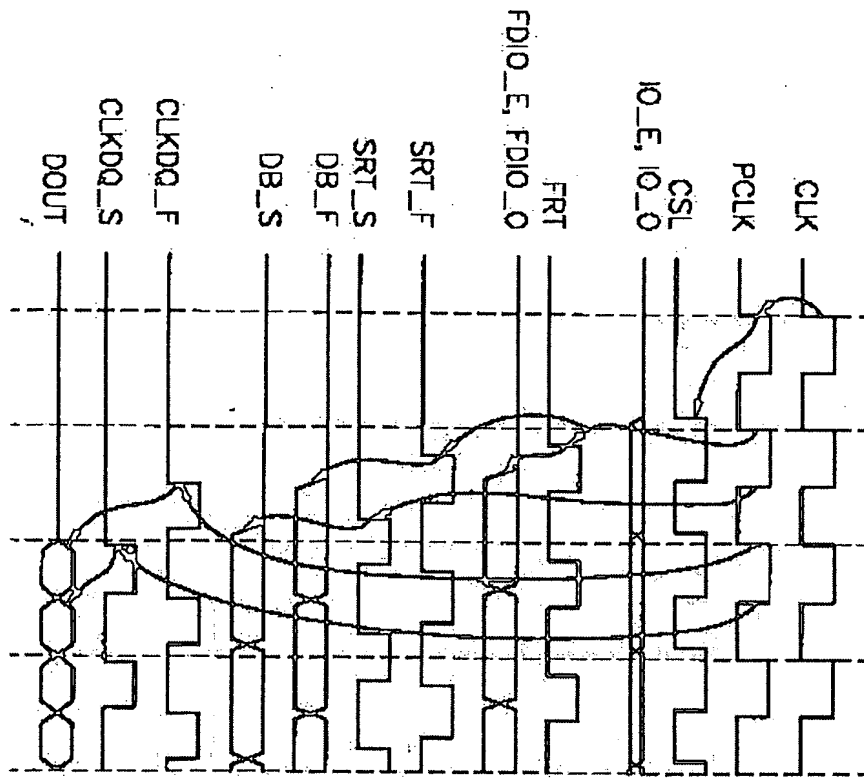




도 2

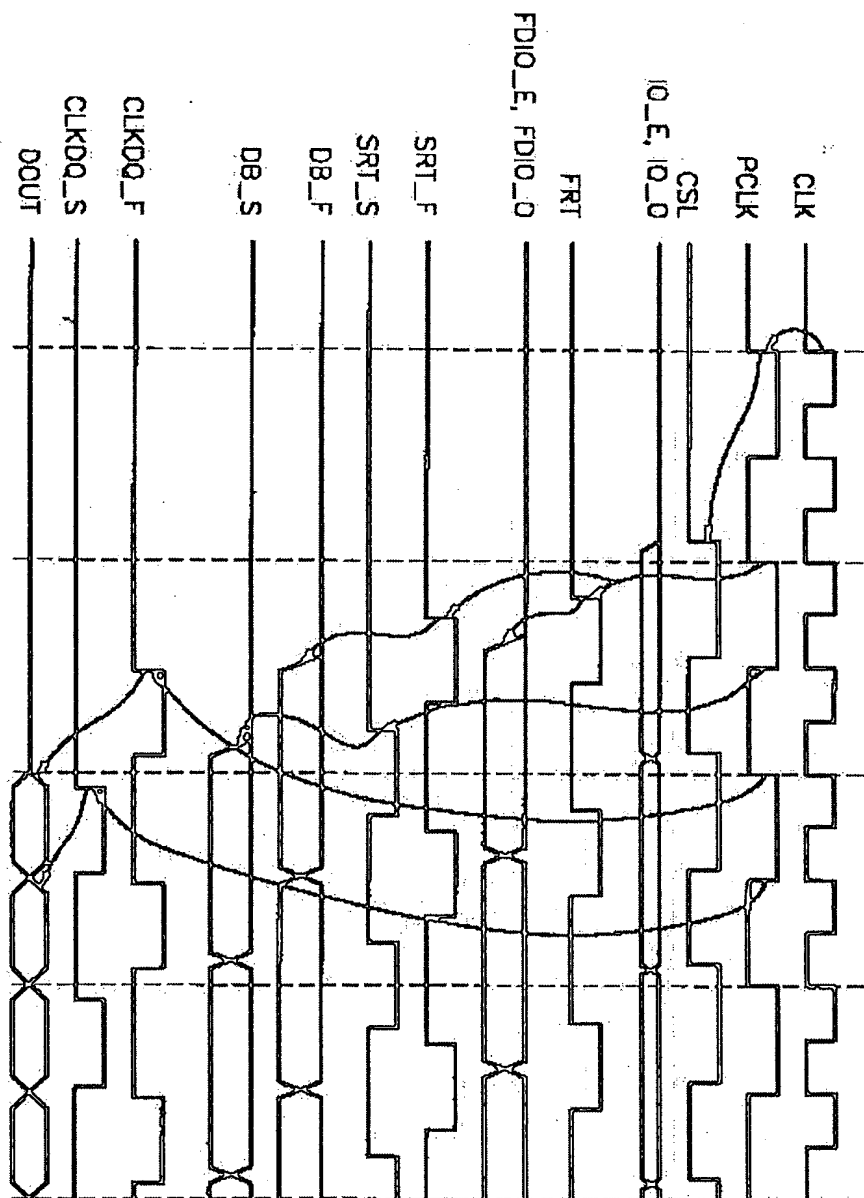
도 13





12-11

505



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.